

PAT-NO: JP411007046A

DOCUMENT-IDENTIFIER: JP 11007046 A

TITLE: LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: January 12, 1999

INVENTOR-INFORMATION:

NAME

AMANO, TORU

FUJII, SHINICHI

TAJIMA, YOSHIMITSU

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP09158989

APPL-DATE: June 16, 1997

INT-CL (IPC): G02F001/136, G02F001/1343

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent a defect of display by lightening the load placed on a switching element when adjacent pixel electrodes short-circuit.

SOLUTION: Divided pixel electrodes 19 and 19b and the drain electrode of a TFT(thin film transistor) 2 are connected by a connection electrode 9. If a short circuit is caused at a part A between adjacent pixel electrodes, a branch 9A of the connection electrode 9 which connects the short-circuiting divide pixel electrode 19a and the drain electrode of the TFT 2 is cut at a part A'. Consequently, source signals are prevented from being mixed. At this time, a branch 9B of the connection electrode 9 connecting the divided pixel electrode 19b which does not short-circuit and the drain electrode of the TFT 2 is left. Consequently, the load placed on one TFT is reduced.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-7046

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.<sup>8</sup>

G 0 2 F 1/136  
1/1343

識別記号

5 0 0

F I

G 0 2 F 1/136  
1/1343

5 0 0

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平9-158989

(22) 出願日 平成9年(1997) 6月16日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 天野 徹

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 藤井 真一

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 田島 善光

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

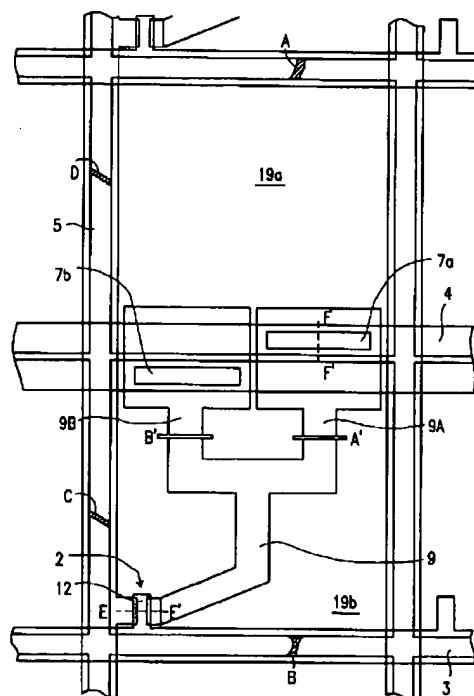
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 隣接する画素電極間に短絡が生じた場合に、スイッチング素子にかかる負荷を減らして表示上の欠陥を防ぐ。

【解決手段】 分割画素電極19a、19bとTFT2のドレイン電極とが接続電極9により接続されている。隣接する画素電極間にAの部分で短絡が生じた場合、短絡している分割画素電極19aとTFT2のドレイン電極とを接続する接続電極9の枝9AをA'部分で切断する。これにより、複数のソース信号が混ざり合うのが防止される。このとき、短絡していない分割画素電極19bとTFT2のドレイン電極とを接続する接続電極9の枝9Bは残しておく。これにより、1つのTFTにかかる負荷が軽減される。



1

## 【特許請求の範囲】

【請求項1】マトリクス状に形成されたスイッチング素子を制御するゲート信号を供給するゲート信号線と、該スイッチング素子にデータ信号を供給するソース信号線とが、それぞれ交差するように形成され、該スイッチング素子、該ゲート信号線および該ソース信号線を覆って形成された層間絶縁膜の上に、各画素毎の画素電極が複数に分割されて形成され、更に、各画素を構成する複数の分割画素電極の一つずつが、該スイッチング素子のドレイン電極と各々接続され

たそれぞれ別体の透明導電膜からなる接続電極、または、該ドレイン電極と接続した側とは反対側を分岐した構成の透明導電膜からなる接続電極と、該層間絶縁膜を貫くコンタクトホールを介して電氣的に接続されている液晶表示装置。

## 【請求項2】各画素を構成する複数の分割画素電極の間を覆って蓄積容量配線が形成されている請求項1に記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータやOA機器の表示部などに用いられる液晶表示装置に関する。

【0002】

【従来の技術】上述の液晶表示装置として、図3に示す等価回路からなるアクティブマトリクス基板を用いたものが知られている。このアクティブマトリクス基板は、スイッチング素子として薄膜トランジスタ（以下TFTと略称する）を用いた構成の一例を示す。

【0003】ここでは、マトリクス状にTFT2および画素容量1が形成されている。TFT2のゲート電極はゲート信号線3に接続され、ゲート信号線3にて送られる信号によってTFT2がオンオフ駆動される。TFT2のソース電極はソース信号線5に接続され、ソース信号線5を送られるビデオ信号が入力される。TFT2のドレイン電極には画素電極および画素容量1の一方の端子が接続されている。各画素容量1のもう一方の端子は蓄積容量配線4に接続されており、かかる構成のアクティブマトリクス基板を用いて液晶表示装置を構成した場合には、対向基板上に設けられた対向電極と接続され

る。

【0004】図4は、具体的なアクティブマトリクス基板の一例の平面構造を示し、図5(a)は図4のC-C'線におけるTFTの断面構造を、図5(b)は図4のD-D'線における接続部の断面構造を各々示す。

【0005】このアクティブマトリクス基板は、透明絶縁性基板11上に、ゲート電極12を一部に有するゲート信号線3が複数並設され、その上にゲート絶縁膜13が形成されている。このゲート絶縁膜13のTFT部分の上には、半導体層14、チャンネル保護層15、並び

2

に、 $n^+$ -Si層からなるソース電極16aおよびドレイン電極16bがこの順に形成されている。その上には、透明導電膜9aと金属層17aとの2層からなるソース信号線5が形成され、その一部がTFTのソース電極となっている。このソース信号線5は、前記ゲート信号線3と交差して、たとえば直交して設けられている。前記ドレイン電極16bには、透明導電膜からなる接続電極9bが接続されており、接続電極9bとドレイン電極16bとの接続部には金属層17bが形成されている。

【0006】また、隣合うゲート信号線3の間には、ゲート信号線3と平行な状態で蓄積容量配線4が形成されている。この蓄積容量配線4の厚み方向位置は、基板11とゲート絶縁膜13との間である。また、この蓄積容量配線4の上には、前記ゲート絶縁膜13が形成されている。

【0007】以上の状態の基板上に、基板のほぼ全面にわたって透明度の高い有機薄膜からなる層間絶縁膜18が形成されている。その層間絶縁膜18の蓄積容量配線4が形成されている部分には、層間絶縁膜18を貫通してコンタクトホール7が形成されている。層間絶縁膜18の上には、透明導電膜からなる画素電極19が形成されており、その画素電極19は、ドレイン電極16bと接続されている接続電極9bに、前記コンタクトホール7を介して接続されている。

【0008】このように構成されたアクティブマトリクス基板においては、ゲート信号線3やソース信号線5と、画素電極19との間に、層間絶縁膜18が存在するため、画素電極19の周縁部をゲート信号線3およびソース信号線5に重畳させて設けることが可能であり、各画素電極19はゲート信号線3やソース信号線5を挟まずに隣接することになる。

【0009】

【発明が解決しようとする課題】しかしながら、上述の従来の液晶表示装置のように各画素電極19がゲート信号線3やソース信号線5を挟まずに隣接している場合、隣接する画素電極19間に短絡が生じると、各画素電極19に入力されたソース信号が混ざり合って表示上の欠陥が生じるという問題があった。

【0010】特に、ゲート信号線3毎に対応する画素の表示信号の極性を反転させる駆動方法を用いた場合、ソース信号線5に沿って隣接する画素電極19には極性が反転したソース信号が印加されるので、その両画素電極の間が短絡すると各画素電極が中間電位となって、表示上欠陥が発生する。

【0011】また、この欠陥を修正すべく、短絡する両画素電極の一方の接続電極9bを切断すると、他方の画素電極19に設けられているTFT2で2つの画素電極19を駆動することになる。よって、1つのTFT2にかかる負荷が大きくなるため、プロセスパラメータの変

動、例えばL(長さ)/W(幅)寸法のばらつきや半導体層14を構成するa(アモルファス)-Siの膜質や膜厚等により画素が充電不足となって、表示上の欠陥として残ってしまうという問題があった。

【0012】本発明は、このような従来技術の課題を解決すべくなされたものであり、隣接する画素電極間に短絡が生じた場合に、スイッチング素子にかかる負荷を減らして表示上の欠陥を防ぐことができる液晶表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の液晶表示装置は、マトリクス状に形成されたスイッチング素子を制御するゲート信号を供給するゲート信号線と、該スイッチング素子にデータ信号を供給するソース信号線とが、それぞれ交差するように形成され、該スイッチング素子、該ゲート信号線および該ソース信号線を覆って形成された層間絶縁膜の上に、各画素毎の画素電極が複数に分割されて形成され、更に、各画素を構成する複数の分割画素電極の一つずつが、該スイッチング素子のドレイン電極と各々接続されたそれぞれ別体の透明導電膜からなる接続電極、または、該ドレイン電極と接続した側とは反対側を分岐した構成の透明導電膜からなる接続電極と、該層間絶縁膜を貫くコンタクトホールを介して電気的に接続され、そのことにより上記目的が達成される。

【0014】本発明の液晶表示装置において、各画素を構成する複数の分割画素電極の間を覆って蓄積容量配線が形成されている構成とすることができる。

【0015】以下、本発明の作用について説明する。

【0016】本発明にあっては、各画素を構成する複数の分割画素電極の各々が、スイッチング素子のドレイン電極と接続された接続電極に接続してある。この接続電極は、スイッチング素子のドレイン電極と各々接続されたそれぞれ別体のもの、または、該ドレイン電極と接続した側とは反対側を分岐した構成のものである。

【0017】この場合において、隣接する画素間における画素電極同士の短絡が生じた場合には、一方の画素において短絡の生じている分割画素電極とスイッチング素子のドレイン電極との接続を解除する。その解除は、たとえば別体の接続電極では該当するものを切断すればよく、また、分岐構造の接続電極では分岐している部分のうち該当する枝部分を切断すればよい。これにより、スイッチング素子のドレイン電極との接続が解除された分割画素電極は、他方の画素のスイッチング素子にて駆動されることとなり、ソース信号が混ざり合うのが防止される。

【0018】また、前記一方の画素電極において短絡がない方の分割画素電極とスイッチング素子のドレイン電極との接続はそのままにしておく。これにより、その分割画素電極は、一方の画素におけるスイッチング素子にて駆動される。よって、他方の画素におけるスイッチン

グ素子にかかる負荷が軽減される。

【0019】また、各画素を構成する複数の分割画素電極の間を覆って蓄積容量配線を形成すると、各画素を構成する分割画素電極同士の間が蓄積容量配線にて遮光されることとなる。

【0020】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0021】図1は本実施形態の液晶表示装置における1画素分の平面構成を示す図であり、図2(a)は図1のE-E'線におけるTFT部分の断面図、図2(b)は図1のF-F'線における接続部の断面図である。なお、これらの図においてはアクティブマトリクス基板のみを示してあり、対向基板および液晶層は省略して示してある。

【0022】このアクティブマトリクス基板は、透明絶縁性基板11上に、ゲート電極12を一部に有するゲート信号線3が複数並設され、その上にゲート絶縁膜13が形成されている。このゲート絶縁膜13のTFT2部分の上には、半導体層14、チャンネル保護層15、並びに、n<sup>+</sup>-Si層からなるソース電極16aおよびドレイン電極16bがこの順に形成されている。その上には、透明導電膜9aと金属層17aとの2層からなるソース信号線5が形成され、その一部がTFT2のソース電極16aとなっている。このソース信号線5は、前記ゲート信号線3と交差して、たとえば直交して設けられている。前記ドレイン電極16bには、透明導電膜からなる接続電極9が接続されており、接続電極9とドレイン電極16bとの接続部には金属層17bが形成されている。前記接続電極9は、図1に示すように、TFT2のドレイン電極と電気的に接続している側は共通にし、これとは反対側は複数に、この例では2つに分岐した枝9A、9Bを有する構造となっている。

【0023】また、隣合うゲート信号線3の間には、ゲート信号線3と平行な状態で蓄積容量配線4が形成されている。この蓄積容量配線4の厚み方向位置は、基板11とゲート絶縁膜13との間である。また、この蓄積容量配線4の上には、前記ゲート絶縁膜13が形成されている。

【0024】以上の状態の基板上に、基板のほぼ全面にわたって透明度の高い有機薄膜からなる層間絶縁膜18が形成されている。その層間絶縁膜18の蓄積容量配線4が形成されている部分には、層間絶縁膜18を貫通してコンタクトホール7a、7bが形成されている。層間絶縁膜18の上には、各画素毎に、透明導電膜からなる2つの分割画素電極19a、19bが形成されている。一方の分割画素電極19aは、前述した分岐構造の接続電極9の一方の枝9Aの端部(広幅部分)に、前記コンタクトホール7aを介して接続されている。他方の分割画素電極19bは、前述した分岐構造の接続電極9の他

5

方の枝9Bの端部(広幅部分)に、前記コンタクトホール7bを介して接続されている。

【0025】この液晶表示装置は、例えば以下のようにして作製される。

【0026】まず、アクティブマトリクス基板の作製工程を述べる。透明絶縁性基板11上に、ゲート電極12およびゲート信号線3、蓄積容量配線4、ゲート絶縁膜13、半導体層14、チャンネル保護層15、および、ソース電極16aとドレイン電極16bとなる $n^+$ -Si層を順に形成した。

【0027】次に、透明導電膜9a、接続電極9となるITO膜および金属層17a、17bとなる層を順にスパッタ法によって形成してパターンニングする。これにより、透明導電膜9aと金属層17aとからなるソース信号線5、接続電極9および金属層17bを形成する。本実施形態においては、ソース信号線5を構成する層を、金属層17aと透明導電膜9aとの2層構造としてあるので、仮にソース信号線5を構成する金属層17aの一部に膜の欠損があったとしても、透明導電膜9aによって電氣的に接続されるため、ソース信号線5の断線を少なくすることが出来るという利点がある。また、接続電極9が透明導電膜からなるので、画素の開口率を高くすることができる。

【0028】次に、層間絶縁膜18を形成し、層間絶縁膜18を貫通するコンタクトホール7a、7bを形成した。本実施形態においては、層間絶縁膜18として感光性のアクリル樹脂をスピン塗布法により $3\mu\text{m}$ の膜厚で形成し、この樹脂に対して所望のパターンに従って露光し、アルカリ性の溶液によって処理した。これにより露光された部分のみがアルカリ性の溶液によりエッチングされ、層間絶縁膜を貫通するコンタクトホール7a、7bが形成された。このアルカリ現像によるパターンニングにおいては、コンタクトホールのテーパ形状も良好であった。このように層間絶縁膜18としてアクリル樹脂を用いた場合には、スピン塗布法により数 $\mu\text{m}$ という膜厚の薄膜を容易に形成することができること、パターンニングにフォトリソの塗布工程が不要になることなど、生産性の面で利点がある。

【0029】続いて、分割画素電極19a、19bとなる透明導電膜を、たとえばスパッタ法によって形成してパターンニングし、分割画素電極19a、19bを形成した。このとき、分割画素電極19aは、層間絶縁膜18を貫くコンタクトホール7aを介してTFT2のドレイン電極16bと接続されている、層間絶縁膜18の下側に設けてある接続電極9の枝9Aの端部と接続される。また、分割画素電極19bは、層間絶縁膜18を貫くコンタクトホール7bを介してTFT2のドレイン電極16bと接続されている、層間絶縁膜18の下側に設けてある接続電極9の枝9Bの端部と接続される。

【0030】以上のようにして作製されたアクティブマ

6

トリクス基板に対し、透明絶縁性基板上に対向電極、ブラックマトリクスやカラーフィルタ等を形成した対向基板を貼り合わせ、両基板の空隙に液晶を注入した。これにより、本実施形態の液晶表示装置が作製される。

【0031】このようにして作製された本実施形態の液晶表示装置においては、ゲート信号線3やソース信号線5を覆う層間絶縁膜18の上に分割画素電極19a、19bが形成されている。また、その2つの分割画素電極19a、19bからなる画素電極は、隣接する同様な構成の画素電極と、ゲート信号線3やソース信号線5を挟まない状態で配設されている。ここで、隣接する画素電極間に短絡が生じると、短絡が生じた部分では各画素電極に入力されたソース信号が混ざり合うため、両者の中間電位となって表示上の欠陥が生じる。

【0032】この場合の欠陥修正方法について、以下に説明する。

【0033】ソース信号線5に沿う方向に隣接する画素電極間に短絡が生じているとき、例えば、図1のAの部分で短絡が生じているときには、短絡した分割画素電極19aに接続された、接続電極9の枝9Aを、例えばレーザー等を用いてA'部分で切断する。これにより、複数のソース信号が混ざり合うのを防ぐことができる。また、このとき、短絡していない分割画素電極19bに接続された、接続電極9の枝9Bはそのままにしておく。これにより、図の上方の画素電極に接続されたTFTにかかる負荷は1.5画素分であり、従来の2画素分に比べて軽減されるので、充電不足による表示の欠陥を防ぐことができる。

【0034】一方、図1のBの部分で短絡が生じているときには、短絡している分割画素電極19bに接続された、接続電極9の枝9BをB'部分で切断し、枝9Aをそのままにしておけばよい。

【0035】このようにソース信号線5に沿う方向で隣接する画素電極間に短絡が生じた場合、両画素電極のうちの一方の画素電極における短絡した分割画素電極とスイッチング素子のドレイン電極との接続する接続電極部分を切断することにより、ソース信号が混ざり合うのを防止することができる。特に、このようにして修正することは、ゲート信号線3毎に対応する画素の表示信号の極性を反転させる駆動方法を用いた場合に有効である。

【0036】また、ゲート信号線3に沿う方向で隣接する画素電極間に短絡が生じているとき、例えば、図1のCの部分で短絡が生じているときには、短絡している分割画素電極19bとTFT2のドレイン電極とを接続する接続電極9の枝9Bを、B'部分で切断し、複数のソース信号が混ざり合うのを防ぐ。このとき、短絡していない分割画素電極19aとTFT2のドレイン電極とを接続する接続電極9の枝9Aは残しておき、図の右側の画素電極に接続されたTFTにかかる負荷を軽減する。また、図1のDの部分で短絡が生じているときには、短

絡している分割画素電極19aとTFT2のドレイン電極とを接続する接続電極9の枝9Aを、A'部分で切断すればよい。このようにゲート信号線3に沿う方向で隣接する画素電極間に短絡が生じた場合、両画素電極のうちの一方の画素電極における短絡している分割画素電極とスイッチング素子のドレイン電極とを接続する接続電極の該当する部分を切断することにより、ソース信号が混ざり合うのを防止することができる。特に、このように修正することは、ソース信号線5毎に対応する画素の表示信号の極性を反転させる駆動方法を用いた場合に有効である。

【0037】なお、本実施形態においては、接続電極を2つの枝9Aと9Bとに分岐させて各分割画素電極19a、19bとスイッチング素子のドレイン電極とを電気的に接続させた例について説明したが、本発明はこれに限らず、ドレイン電極と接続された、各々別体の接続電極を複数設けて、その各々に各分割画素電極の各々を接続させるようにしてもよい。

【0038】また、本実施形態においては、ゲート信号線に沿う方向に分割画素電極19a、19bを配置した例について説明したが、ゲート信号線に沿う方向に分割画素電極を配置した構成の場合にも本発明は適用可能である。また、本発明は、画素電極を3以上の分割画素電極に分割するようにしても適用可能である。

【0039】

【発明の効果】以上詳述したように、本発明によれば、隣接する画素電極間に短絡が生じた場合に、短絡している分割画素電極とスイッチング素子のドレイン電極とを接続している接続電極の該当する部分を切断することにより、ソース信号が混ざり合うのを防いで表示上の欠陥を修正することができる。このとき、1つのスイッチング素子にかかる負荷を減らすことができるので、充電不足による表示上の欠陥も防ぐことができる。

【0040】また、各画素を構成する分割画素電極同士の間を覆うように蓄積容量配線を設けた構成とすると、各画素を構成する分割画素電極同士の間からの光漏れを

遮光することが可能となり、画素電極を分割しても表示に悪影響が生じない。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置を構成するアクティブマトリクス基板の平面構成を示す平面図である。

【図2】(A)は図1のE-E'線による断面構成を示す断面図、(B)は図1のF-F'線による断面構成を示す断面図である。

【図3】アクティブマトリクス基板の構成を示す等価回路図である。

【図4】従来の液晶表示装置を構成するアクティブマトリクス基板の平面構成を示す平面図である。

【図5】(A)は図4のC-C'線による断面構成を示す断面図、(B)は図4のD-D'線による断面構成を示す断面図である。

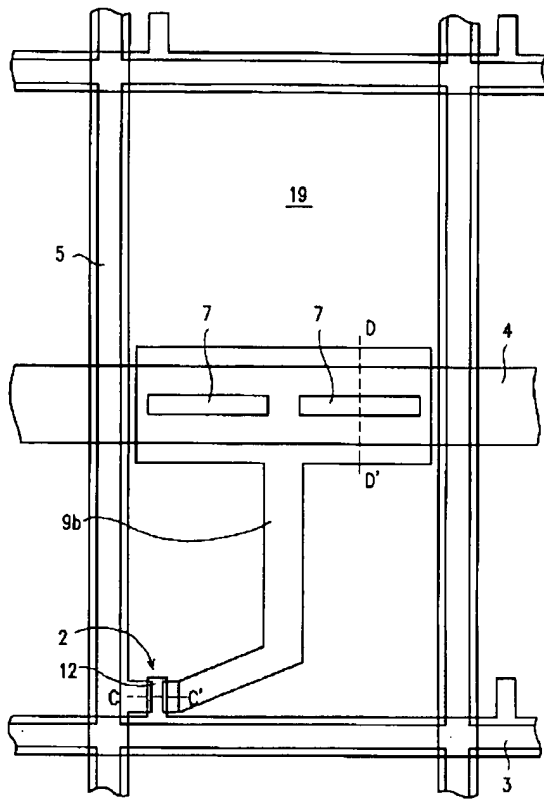
【符号の説明】

- 1 画素容量
- 2 TFT
- 3 ゲート信号線
- 4 蓄積容量配線
- 5 ソース信号線
- 7a、7b コンタクトホール
- 9a 透明導電膜
- 9 接続電極
- 9A、9B 枝
- 11 透明絶縁性基板
- 12 ゲート電極
- 13 ゲート絶縁膜
- 14 半導体層
- 15 チャンネル保護層
- 16a ソース電極
- 16b ドレイン電極
- 17a 金属層
- 17b 金属層
- 18 層間絶縁膜
- 19a、19b 分割画素電極





【図4】



【図5】

